

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PCT

世界知的所有権機関

国際事務局



特許協力条約に基づいて公開された国際出願

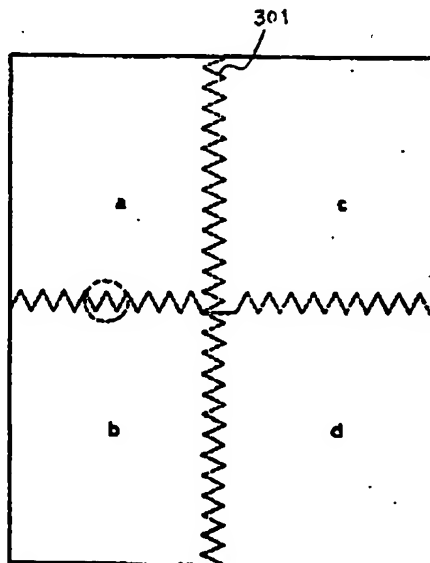
(51) 国際特許分類 ⁶ H01L 21/027	A1	(11) 国際公開番号 WO 95/16276
(21) 国際出願番号 PCT/JP94/02053 (22) 国際出願日 1994年12月7日(07. 12. 94)		(43) 国際公開日 1995年6月15日(15.06.95)
(30) 優先権データ 特願平5/306186 1993年12月7日(07. 12. 93) JP		(81) 指定国 JP, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) ..
(71) 出願人(米国を除くすべての指定国について) 株式会社 東芝(KABUSHIKI KAISHA TOSHIBA)(JP/JP) 〒210 神奈川県川崎市幸区堀川町72番地 Kanagawa, (JP) (72) 発明者; および (75) 発明者/出願人(米国についてのみ) 稲田克彦(INADA, Katsuhiko)(JP/JP) 〒671-12 兵庫県姫路市余部区上余部50-1-308 Hyogo, (JP) 嶋田 修(SHIMADA, Osamu)(JP/JP) 〒671-15 兵庫県姫路市保子町馬場94-2-5-103 Hyogo, (JP) 清水正寛(SEIKI, Masahiro)(JP/JP) 〒671-12 兵庫県姫路市余部区上余部50-187 Hyogo, (JP) 多田龍二(TADA, Ryuji)(JP/JP) 〒671-15 兵庫県姫路市保子町東保453-1-A-101 Hyogo, (JP) 菅原 淳(SUGAHARA, Atsushi)(JP/JP) 〒236 神奈川県横浜市中区金沢区並木3-2-7-506 Kanagawa, (JP) (74) 代理人 弁理士 須山佐一(SUYAMA, Saichi) 〒101 東京都千代田区神田多町2丁目1番地 神田東山ビル Tokyo, (JP)		添付公開書類 国際調査報告書

(54) Title : DISPLAY DEVICE AND ITS MANUFACTURE

(54) 発明の名称 表示素子及びその製造方法

(57) Abstract

A liquid crystal display device having a uniform display screen from which a linear luminance defect which looks like a "seam" is eliminated. When, for example, one conductive or dielectric layer is exposed as shown in the figure, a total of four photomasks (60) corresponding to four shot areas (a, b, c and d) are used. For example, the light shielding layer (62) of the photomask used for exposure at the time of patterning a signal line (51) is so formed that the layer (62) is the projected pattern of the signal line (51). In addition, the photomasks corresponding to the adjacent shot areas, for example, the masks (a and b) are so formed that the patterns of light shielding layers (62) are fitted into each other like a finger joint at the boundary of the areas (a and b).



(57) 要約

「継ぎ目」のように視認される線状の輝度欠陥を解消して、均一な表示画面を備えた液晶表示素子を提供することを目的としており、例えば図3に示すように1層の導電層もしくは誘電体層を露光処理するにあたり4つのショットエリアa、b、c、dに対応して、合計4枚のフォトマスク60を用いる。例えば信号線51をパターニングする際の露光処理に用いられるフォトマスクの遮光層62は、信号線51の射影パターンとなるように形成されている。また隣接ショット領域に対応するフォトマスク、例えばマスクaとマスクbは、その境界部分の遮光層62パターンが平面的に互いに嵌合している形状に形成されている。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AM	アルバニア	EE	エストニア	LK	スリランカ	RU	ロシア連邦
AT	オーストリア	ES	スペイン	LR	リベリア	DE	ドイツ
BB	バハマ	FI	フィンランド	LT	リトアニア	SG	シンガポール
BE	ベルギー	FR	フランス	LU	ルクセンブルグ	SI	スロベニア
BG	ブルガリア	GB	イギリス	LV	ラトヴィア	SK	スロバキア
BJ	ベナン	GE	ジョージア	MC	モナコ	NZ	ニュージーランド
BR	ブラジル	GR	ギリシャ	MD	モルドバ	SD	スーダン
BY	ベラルーシ	CR	コスタリカ	MG	マダガスカル	TD	チャド
CA	カナダ	HU	ハンガリー	ML	マリ	TG	トーゴ
CC	ココス諸島	IE	アイルランド	MN	モンゴル	TM	トルクメニスタン
CH	スイス	IT	イタリア	MR	モーリタニア	TT	トリニダード・トバゴ
CI	コートジボワール	JP	日本	MW	マラウイ	UA	ウクライナ
CM	カメルーン	KE	ケニア	MX	メキシコ	UG	ウガンダ
CN	中国	KZ	カザフスタン	NE	ニジェール	US	米国
CZ	チェコ共和国	KG	キルギスタン	NL	オランダ	UZ	ウズベキスタン
DK	デンマーク	KR	韓国	NO	ノルウェー	VN	ベトナム
		LI	リヒテンシュタイン	NZ	ニュージーランド		
				PL	ポーランド		
				PT	ポルトガル		
				RO	ルーマニア		

明 細 書

表示素子及びその製造方法

技術分野

本発明は液晶表示素子及びその製造方法に係り、特に線状の輝度欠陥を解消して均一な表示画面を備えた液晶表示素子及びその製造方法に関する。

背景技術

薄膜トランジスタ（Thin Film Transistor; 以下、T F Tと略称）をスイッチ素子として表示画素電極アレイを構成したアクティブマトリクス型液晶表示素子を例にあげて従来の技術を説明する。

アクティブマトリクス型液晶表示素子の基本構成は、表示画素電極アレイの形成されたアレイ基板と、対向電極の形成された対向基板との間隙に液晶物質を封入してなる。前記アレイ基板上には、T F T及びこれに接続された表示画素電極がマトリクス状に形成され、さらに行方向に配列された各T F Tのゲートに共通に接続された走査線、及び列方向に配列された各T F Tのドレイン電極に共通に接続された信号線、表示画素電極に絶縁層を介し相対して配置され、蓄積容量を構成する蓄積容量線等が、必要に応じて形成されている。

これらの電極群やT F T等の半導体素子は、一般に薄膜パターン形成技術つまりフォトファブ리케이션技術を適用して作製される。

例えば一般の薄膜パターン形成プロセスでは、先ず薄膜材料を基板上にスパッタリング法やC V D法などの所定の成膜方法を用いて成膜した後、この薄膜をいわゆるP E P（フォトエッチングプロセス）により所望の形状にパターンニングする。

即ち、基板上に成膜された薄膜上にフォトレジストをコーティングし、これを露光処理することにより所定パターンに現像する。つまり所望パターンの遮光体を有するフォトマスクを基板上方に位置合わせしてセットし、このフォトマスクを介して上方からフォトレジストに光を照射して、露光処理を行なう。

次いでその露光されたフォトレジストを現像する。そして現像されたフォトレジストをマスクとして、基板上に成膜されている薄膜の不要部分をエッチング除去して所望のパターンを得る。さらにこの工程を電極や半導体素子を構成する各薄膜の層数に対応する工程数繰り返すことによって、所望の素子を作製することができる。

ところで、近年の液晶表示素子をはじめとして光学素子の大容量化に伴い、大面積の表示素子に対応する薄膜形成およびそのパターンニング技術が要求されている。

例えば、前記の露光処理を行なうに際し、露光装置の光学系の能力には一定の制約があるので、一度に露光処理が可能な面積は限られている。そこで、いわゆる分割露光（ステッパ）方式を適用することによって大面積の露光処理を行なう方法が用いられている。

このステッパを用いた分割露光方式は、露光処理を行なう基板上の領域を図 1 に示すような複数の露光エリアに分割し、一回の露光処理（ショット）ごとにその一つの分割露光エリアを露光処理し、これを分割数だけ繰り返す（ステップアンドリピートする）ことで、基板全面に亘って露光処理を行なうものである。このような露光を行なうことによって、露光装置が一度に処理可能な面積を超えて大面積にわたる露光処理を行なうことが可能となる。

しかしながら、このステッパ方式を適用することによって、作製されたアクティブマトリクス型液晶表示装置には、異なる露光エリア間で同じ画像信号を入力したにも関わらずこれに応答する画素の輝度が異なるという現象が生じるという問題がある。特に、隣接する露光エリア間で輝度差が大きくなると、露光エリアの境界線がその表示画面上で「継ぎ目」として視認されてしまい、高精細度な画像表示が要求されるアクティブマトリクス型液晶表示装置の表示品位を著しく低下させていた。

この露光エリア間の輝度差は、次の理由によって生じるものと考えられる。

即ち、液晶表示素子などの容量駆動型の表示素子においては、画素容量とこの画素に寄生する寄生容量との間で入力信号の分圧が生じ、実際に画素容量に印加される電圧は、入力信号から寄生容量に分圧された分だけシフトした量となる。

この寄生容量の大きさは、T F T (Thin Film Transistor) と信号配線との重なりなど、表示素子の各画素を構成している構造物の各薄膜パターンどうしの重なり量に依存するが、各薄膜層の露光処理に使用するフォトリソマスクが所定位置からずれてセットされると、続く工程で現像されたフォトリソパターン及びエッチングされた薄膜パターンも所定位置からずれることとなる。従って下層の薄膜パターンに対して定められた位置よりもずれて上層の薄膜パターンが形成され、重なり量が設計された値と異なった値となる。

さらには、露光装置の駆動系の精度などに起因して、ある露光エリアと他の露光エリアではフォトリソマスクのずれ量つまりマスクアライメントのずれが異なることがあり、その結果、異なった露光エリアどうしの間でそのエリアごとに薄膜パターン間の重なり量及びこれによって決定される寄生容量の値が異なるため、画素容量に印加される電圧のシフト量も異なった露光エリアどうしの間で異なってしまう。

このため、従来の製造方法を適用して作製された液晶表示素子では、異なる露光エリア間での輝度差が発生し、表示むらの原因となっていた。

特に隣接する露光エリアでそれぞれのエリアに属する画素に等しい画像信号を入力したとき、一方のエリアに属する画素と他方のエリアに属する画素との間で光透過率差が 0.5% 以上あると、これが領域の「継ぎ目」として視認されてしまうことが、従来の製造方法により作製された液晶表示素子の表示画面を官能試験をはじめとして種々の実験により検証した結果、判明した。

本発明は、このような技術的背景に鑑みて成されたもので、上記の如き「継ぎ目」のように視認される線状の輝度欠陥を解消して、均一な表示画面を備えた液晶表示素子を提供することを目的としている。

発明の開示

本発明は、表示素子を複数のエリアに分割してフォトリソの露光等を行なって単位画素をアレイ状に配列されたパターンに形成し、液晶表示素子のような表示素子を作製するにあたり、その分割した複数の表示エリア（小領域）どうしの輝度差が生じる場合に、その互いに隣接している境界線近傍の輝度の変化勾配

を緩やかにすることにより、エリア間の「継ぎ目」を視認上目立たなくすることを基本的な技術思想としている。

即ち、本発明の表示素子及びその製造方法においては、互いに隣接する表示エリアどうしのそれぞれに属する画素が境界領域で互いに入り組んだ配置で混在するように、その小領域の境界線を取ることににより、互いの小領域どうしの境界線近傍の領域での画素の見かけの輝度差を平均化することができる。

従って、従来の直線的な境界線による分割の場合には、その境界線の左右あるいは上下で表示エリアどうしの輝度差が全く急峻に現れていたもので、その境界線での輝度差が著しく視認されていたものが、本発明によれば、一方の表示エリアから他方の表示エリアへの輝度変化のカーブが緩やかとなり、表示エリアどうしの境界線の輝度差を視認上ほとんど全く目立たなくすることができる。

また、本発明の表示素子の製造方法においては、表示素子を構成する薄膜を小領域に分割してフォトレジストの露光あるいは薄膜のパターニングを行なう際に、互いに隣接する小領域の境界線を非直線状となるように設定する。その結果、一方のパターニングエリアに属する画素と他方のパターニングエリアに属する画素がそのエリアどうしの境界線の近傍の領域で混在することとなるので、パターニング時のマスクずれ等に起因した両エリアに属する画素どうしの輝度特性のばらつきが生じてても、その境界線の近傍の領域での見かけの輝度を平均化することができる。

これにより、例えば分割露光時のショットむらによる隣接露光エリア間での輝度変化を緩衝化し、エリアの境界線を視認上目立たなくすることができる。

なお、本発明の導電層もしくは誘電体層とは、Cr、Al等のメタル層、アモルファスシリコン膜などの半導体層、前記半導体層に不純物を導入したドーピング層、SiO_x膜、SiN_x膜などの絶縁膜のいずれを選択しても良い。

また、上記の境界線の近傍の領域とは、少なくともその隣接する両エリアどうしの境界線に位置している画素を含む領域である。その幅については、表示素子ごとの輝度特性等のパラメータに依存して種々変化するので一概には限定できないが、表示素子ごとに、その境界線における見かけの輝度差が視認されなくなるような幅に互って設けることが望ましい。

図面の簡単な説明

図 1 は、本発明に係る一実施例にて作製された液晶表示装置の、一画素部分の概略平面構造を示す図である。図 2 は、図 1 における A-A' 線に沿った部分の断面構造を示す図である。図 3 は、本発明に係る液晶表示装置のアレイ基板上の薄膜が形成された領域を複数のショット領域に分割して各領域ごとに露光処理を行なう工程を概念的に示す図である。図 4 は、図 3 における隣接するショット領域（小領域）どうしの境界線近傍を部分的に拡大して示す図である。図 5 は、実際の画素パターンに本発明に係る小領域の分割を適用して作製された液晶表示素子の画素アレイを、部分的に拡大して示す図である。図 6 は、本発明の一実施例の製造方法において用いられるフォトマスクのマスクパターンの外郭形状を示す図である。図 7 は、2重露光領域で形成されたパターンが細くくびれた形状となる場合を示す図である。図 8 は、本実施例のアクティブマトリクス型液晶表示素子の理論上の印加電圧（信号線電圧）-透過率曲線を示す図である。図 9 は、本発明に係る境界線を構成する画素の配列をランダムなピッチとなるようにした場合を示す図である。図 10 は、本発明に係る境界線を、1画素内を境界線が複数回横切るように設定した場合を示す図である。図 11 は、従来の、ステッパを用いた分割露光方式表示素子のパターンニング工程を示す図である。

発明を実施するための最良の形態

以下、本発明の実施例を図面に基づいて詳細に説明する。本実施例においては、本発明をアクティブマトリクス型液晶表示装置に適用した場合の一例についてを示す。図 1 は本発明に係る製造方法によって作製されたアレイ基板の一画素の概略平面図を示す図、図 2 は図 1 における A-A' 断面を示す図である。

アレイ基板上には、TFT52 及びこれに接続される表示画素電極 9 が複数個マトリクス状に配列され、TFT52 はアレイ基板の行方向にわたって走査線 50 で連結されており、一方、列方向にわたって信号線 51 で連結されている。

各 TFT52 は、走査線 50 と一体のゲート電極 2、及びその上にゲート絶縁膜 4、半導体層 5 を介して対向配置されたソース電極 7、及びドレイン電極 8 に

よってその主要部が構成されている。

ソース電極 7 は表示画素電極 9 に接続されている。一方、ドレイン電極 8 は信号線 5 1 と一体的に形成されている。そしてソース電極 7 及びドレイン電極 8 と半導体層 5 との層間には、オーミックコンタクト層 6 が介挿されている。

また、表示画素電極 9 の下には、必要に応じてゲート絶縁膜 4 を介して表示画素電極 9 と対向するように蓄積容量電極 3 が形成されており、この蓄積容量電極 3 とこれに対向する部分の表示画素電極 9 とこれら両者に挟まれた部分のゲート絶縁膜 4 とによって蓄積容量が形成される。

次に、上記のような構造の本発明に係るアレイ基板の製造工程を説明する。

ガラスなどの光透過性の電気絶縁性基板 1 の上に T a 膜をスパッタリング法を用いて堆積し、次いでこれを P E P 法を用いて所望の形状にパターニングし、行方向に連続する走査線 5 0 及び外部回路との接続のための接続端子（図示省略）を形成する。

次いで、S i O x 膜、a - S i 膜、n + a - S i 膜を順次 C V D 法により堆積し、a - S i 膜、n + a - S i 膜を P E P 法を用いて所望の形状にパターニングし、半導体層 5、オーミックコンタクト層 6 を形成する。

さらに、I T O (Indium Tin Oxide) 膜をスパッタリング法を用いて堆積し、P E P 法を用いて表示画素電極 9 の形状にパターニングする。

この後、A l 膜をスパッタリング法により堆積し、P E P 法によりソース電極 7、ドレイン電極 8 及びこれと一体の信号線 5 1 を形成する。

なお、上記の各電極層及び半導体層の P E P 工程は基本的に、パターニングされる材料を薄膜形成する工程、その上の全面にフォトレジストを塗布形成する工程、そのフォトレジストを所定のパターンが描画されたフォトマスクを用いて露光する工程、その露光後のフォトレジストを現像処理して所定パターン（レジスト像）を得る工程、このフォトレジストをマスクとして薄膜の不要部分をウェットエッチングまたはケミカルドライエッチングなどのフォトエッチングによるパターニング技術を用いて除去して、所望の形状にパターニングする工程から、そのプロセスの主要部が構成されている。

上記の露光工程において、アレイ基板上の薄膜形成領域を複数のショット領域

に分割し、各領域ごとに露光処理を行なう。図3はその概念図である。同図に示すように、本実施例においては基板上の領域を4つのショット領域a、b、c、dに分割し、そのそれぞれの領域で露光処理を行なう分割露光方式を用いた。

図4は、これをさらに詳細に説明する模式図であり、図3に一点鎖線で示した隣接ショット領域どうしの境界線301の近傍を拡大して示す図である。図4において1ドットは1単位画素の形成領域を示しており、その黒ドット401で示した単位画素と白ドット402で示した単位画素とは、互いに別のショット領域に属する単位画素であることを示す。つまり黒ドット401で示した各単位画素は図4中の右側の小領域に属しており、白ドット402で示した各単位画素は左側の小領域に属している。

図4に示すように、画素の縦方向の配列方向を基準として、異なるショット領域に属する単位画素が行方向に3画素、列方向に6画素のピッチで規則的に混在するように、両領域の境界線301を取ってある。つまりそのような非直線状となるように各小領域の外郭線である境界線301を設定している。

図5は、上記の小領域の分割を実際の画素パターンに適用して作製された液晶表示素子の、各画素アレイを部分的に拡大して示す図である。図中、鎖線501は隣接するショット領域どうしの境界線つまり前記の図3における境界線301を示しており、この鎖線で示したパターンに従って実際の露光処理を行なうためのフォトマスクパターンの外郭線がパターン設計される。

図6はこのようなフォトマスクの概略平面図である。同図に示す如く、本実施例においては、1層の導電層もしくは誘電体層を露光処理するにあたり4つのショットエリアa、b、c、dに対応して、合計4枚のフォトマスク60を用いている。その各々のフォトマスク60は、ガラスや人工石英などの透明基体（サブストレート）61上に、Crなどの遮光層62を所定パターンに形成することで作製される。例えば、信号線51をパターンニングする際の露光処理に用いられるフォトマスクの遮光層62は、信号線51の射影パターンとなるように形成されている。また隣接ショット領域に対応するフォトマスク、例えばマスクaとマスクbは、その境界部分の遮光層62パターンが平面的に互いに嵌合している形状に形成されている。

このような 4枚のフォトマスク a、b、c、dを 4つのショット領域ごとにそれぞれ対応させて用いて分割露光を行なう。そしてこれに続くエッチング処理によって、薄膜のパターニングを行なう。

この露光処理及びエッチング処理を、アレイ基板を構成する各薄膜層ごとに行なって、図 1、図 5 に示すような画素を配列形成したアレイ基板を得る。

なお、本実施例においては、ショット領域の境界近傍では、いわゆる 2重露光処理を行なっている。

2重露光処理は、ある 1ショット領域の露光時に、そのショットの辺縁分が部分的に、その前に既に露光処理を施した隣接する前ショットの領域に重なるように、露光処理を施すものである。これは、ショット領域どうしの境界線近傍で未露光の領域が残るといった露光不良を防止するために行なわれる。

実際には、既露光領域の端部を再び露光するようにフォトマスクの位置を調整（アライメント）して露光処理を行なうもので、例えば図 3 に破線で示したような境界線がある程度の重なり幅を持った 2重線となるように調整（アライメント）される。

また 2重露光処理を受けた領域では、フォトレジストの露光量が他の露光部分に比べて多いため、これを現像した際にフォトレジストのパターン幅が狭くなる場合がある。従って、これをマスクとしてパターニングされた薄膜のパターン形状は、例えば図 7 に示すように 2重露光領域 701 で配線パターン 702 が細くくびれた形状となる場合もある。

2重露光領域に形成される画素と他の領域に形成される画素では、そのようにパターン形状（パターン幅）が異なったものとなる場合があるため、2重露光領域を過度に大きくすることは均一な表示性能を得るうえで好ましくない。

従って、本実施例においては基本的には 2重露光を 1単位画素領域内に収まるピッチとした。具体的にはその値は $10\mu\text{m}$ 以下が好ましく、本実施例では $6\mu\text{m}$ に設定した。その結果、2重露光領域での輝度むらの発生は見受けられず、良好な表示が実現できた。あるいは、このようなパターンのくびれが悪影響を及ぼさない程度に収まるように予め 2重露光の重なり幅をその液晶表示素子の特性等に応じて適宜に設定すれば良いことは言うまでもない。

さて、上記の製造方法で得られたアレイ基板を、図2に示すように対向基板21と組み合わせて封着し、その間隙に液晶物質を注入して得られたアクティブマトリクス型液晶表示素子を作製した。なお、図2に示すように対向基板21の内表面にはITOなどの透明電極材料からなる対向電極22が全面に形成されており、さらに、アレイ基板20と対向基板21の液晶と接する部分には配向膜（図示省略）を必要に応じて形成する。また、対向基板22の表示画素電極の間隙に対向する領域に遮光層を形成しても良く、さらにまた表示画素電極に対向する領域にR、G、Bのカラーフィルタ層を形成しても良い。

このような本発明に係る液晶表示素子を、実際に点灯させて次のような要領で表示品位の評価を行なった。

先ず、表示画面上の輝度を複数ポイントで測定することにより、ショット領域間の輝度差を確認した。

即ち、信号線51全てに等しい画像信号を入力し、表示画面の輝度を輝度計を用いて、各ショット領域ごとに画面上の複数の位置で測定し、その平均値を各ショット領域の輝度の代表値として比較した。

図8は、本実施例のアクティブマトリクス型液晶表示素子の理論上の印加電圧（信号線電圧）－透過率曲線つまりV-T curveを示す図である。この図8において、信号線電圧とは実際に信号線に入力される電圧の値を示しており、透過率は信号線電圧が0Vであるときの輝度を100%としたときの相対値として換算された数値を示すものである。本実施例の評価方法においては、信号線51に約2.5Vの電圧を入力して、理論的には全ての画素が50%の透過率となる条件でそのときの輝度を測定した。

その結果を透過率差に換算すると、異なるショット領域どうしの間で0.6%の透過率差があることが判った。

次に、本実施例のアクティブマトリクス型液晶表示素子を実際に目視することにより、ショット領域の境界線が視認できるか否かについて官能試験を行なった。具体的には、暗室内に本実施例の表示素子を配置し、上記の輝度測定の際と同じ駆動条件で画面を一様な電圧印加で表示させて、境界線を視認できるか否かを、対象者数延べ100人にて試験した。

その結果、対象者全員が境界線を視認できないという結果が得られた。さらに、観察角度を変えて目視検査を行なったが、やはりショット領域どうしの間での境界線は全く視認されないという結果となった。

さらには、上記実施例と同様の工程で、上記実施例とは異なる画素ピッチ等の仕様で作製したアクティブマトリクス型液晶表示素子についても前記と同様の試験を行なったところ、隣接するショット領域どうしの透過率差が 1.0%あったが、このときのショット領域の境界線は、全く視認されないという結果となった。

このように、本発明に係る表示素子においては、隣接するショット領域どうしの境界線が全く視認されることなく、従って極めて良好な表示を実現することができる。また、本発明の表示素子の製造方法によれば、そのフォトリソレーションプロセスにおけるマスクアライメントずれ等に起因して、隣接するショット領域（小領域）の画素どうしの間に輝度差が生じても、その輝度差が境界線としては視認され無くすることができ、その結果、製造歩留を大幅に向上させることができる。

また本発明の製造方法は、上記の実施例のショット数よりもさらにショット数を増加させた場合でも適用可能である。従って、表示素子のさらなる大面積化に対しても十分に対応することが可能である。

なお、本発明は上記実施例のみに限定されず、この他にも種々の変型が可能である。例えば、パターンニング方法としていわゆる PEP 法以外の方法を用いることも可能である。また、TFT 素子の構造は上記の構造に限られるものではなく、例えば TFT のチャネル領域の半導体層上に SiO_x 等の絶縁材料からなるチャネル保護膜を形成しても良い。その場合、チャネル保護膜のパターンニングを行なう際にも本発明の製造方法が適用可能であることは言うまでもない。

また、上記の各電極層、誘電体層の形成工程順は、上記実施例のみに限定されるものではなく、必要に応じて積層順を組み替える、あるいは任意の複数層を一度の露光処理に続いて一括してエッチングしてパターンニング処理を施すこと等も可能であることは言うまでもない。

さらには、画素の配列形状についても上記実施例のような矩形パターンの単位画素の縦横マトリクス配列の他にも、任意に変更することができることは言う

までもない。

また上記実施例においては、ショット領域の境界で一方の領域に属する画素と他方の領域に属する画素が規則的に入り組むようなショット領域の分割方法を用いたが、分割方法はこれのみには限定されないことは言うまでもなく、種々の変形が可能である。

例えば、双方のショット領域の画素どうしが互いに入り組む奥行き、即ち行方向のピッチを、0.5 cm以上、特に好ましくは1 cm以上にすると、輝度の変化率が大幅に緩和され、隣接ショット領域間の輝度差が1%以上と大きい場合でも、確実に境界線を視認上目立たなくすることができた。

また、上記行方向のピッチは必ずしも規則的なピッチに設定することのみには限定されない。例えば図9にその概念図を示すように、境界線を構成する画素の配列をランダムなピッチとなるようにしても良い。具体的には、単位画素の幅すなわち単位画素の行方向のピッチを基準として、互いの領域の画素どうしの入り組むピッチが乱数的に変化するように、そのピッチを乱数に基づいて単位画素の行方向のピッチの乱数倍となるように設定する。この場合の実施例として、単位画素の幅を100 μ mとし、乱数を0~90の間の値をとるように設定した。従って、最大のピッチは0.9 cmとなり、各行のピッチの値はこれ以下の値で乱数的に振動しているように設定されている。

このようにピッチを乱数的に決定すると、以下の理由から、特に液晶表示素子にカラーフィルタを組み込んだカラー液晶表示装置の場合に有効であることが判明した。

即ち、境界線の設定方法によっては、境界線がR、G、Bの3原色に対応する各画素のうちの、特定の1色の画素のみを通して設定される場合がある。この場合、境界線が通る画素の輝度は、一方のショット領域と他方のショット領域との間の、ある特定色の成分の輝度のほぼ平均の値となる。ところがR、G、Bの各色で視感度が異なるため、境界線が通る画素の輝度は、R、G、B成分の合成された左右のショット領域の輝度の平均からは大幅にずれる可能性が高い。すると、隣接ショット領域間の輝度差によっては、輝度差の大きい部分が境界線として視認される可能性がある。

これに対して、境界線の行方向のピッチをランダムにすれば、境界線がある特定色の画素のみを通る可能性は、ほとんど無くなる。すると、境界線の通る画素の輝度は概ねR、G、B成分の合成された左右のショット領域の輝度の平均値となり、その輝度が一方のショット領域の輝度に対して大きな差を有することは無くなる。こうして境界線の視認される確率をさらに効果的に低減することができる。

また、図10に示すように、1画素内を境界線が複数回横切るように設定してもよい。同図に示す方法では、1画素を3分割されるように露光エリアの境界線を設定する。これにより、さらに輝度の変化率を緩和する効果が相乗される。

例えば、表示画素電極9と信号線51の露光時のフォトマスクの位置ずれにより、上側の露光エリアaに属する部分と下側の露光エリアbに属する部分とで表示画素電極9と信号線51の距離が変化した場合を想定する。すると、表示画素電極9と信号線51との間の寄生容量が露光エリアaとbで異なり、この寄生容量の影響で液晶容量に印加される電圧も変動を受け、エリア間で異なった値となる。これを、図10に示す方法では、一画素で表示画素電極9と信号線51の配線間距離が2種類存在するように設定するので、寄生容量値は露光エリアaに属する画素と露光エリアbに属する画素との中間の値となり、電圧の変動値も双方のエリア中間の値となる。このような画素を双方のエリア間に介在させることによって、さらに輝度の変化率を緩和することが可能となる。

また、本実施例においては、パターンニングされる各層（薄膜）のショット領域の境界線は、同一の単位画素領域を通るように設定した。即ち、各層の薄膜ごとに境界線が異なる画素を通るようにすると、上記の寄生容量の変動が各層の薄膜ごとに異なった画素で発生することになり、その結果、寄生容量の変動に起因して輝度の変化が境界線領域の近傍でどのように起こり得るかを予測することが困難となる。これに対して、各層の境界線が同一の単位画素領域を通るようにすることによって、その境界線の通る画素で左右のショット領域の輝度が平均化されるため、輝度分布の予測（つまり輝度分布の設定）が容易となる。従って、境界線を視認されないようにするという本発明による効果の予測を、より簡易で確実なものとすることができる。

また、本発明は、以上の方法を組み合わせて用いることも可能であることは言うまでもない。例えば、境界線が部分的にランダムピッチを有するようにしても良く、あるいはランダムピッチを有する部分の境界線の繰り返しが一つの境界線を構成するようにしても良い。このような複数の要素を組み合わせて最適の方法を適宜に選択すれば良い。

このように、上記実施例のアクティブマトリクス型液晶表示素子においては、露光等の際に分割した隣接エリア（隣接する小領域）どうし間の境界線を視認上目立たなくすることができ、表示品質の高い画面を実現できる。また、上記実施例のアクティブマトリクス型液晶表示素子の製造方法を適用することによって、露光エリア間に輝度差が生じた場合でも、エリア間の境界線を視認上目立たなくすることができるので、製造上の歩留を向上させることができる。

産業上の利用可能性

以上、詳細な説明で明示したように、本発明によれば、透過率の異なる隣接領域間の境界線を視認上目立たなくすることができ、またその薄膜工程の製造方法においてもアレイ基板の各種構造物の歩留を大幅に向上することができる。

請 求 の 範 囲

1. 絶縁基板上に導電体層及び誘電体層を積層形成し、前記導電体層もしくは誘電体層の形成領域を複数の小領域に分割してパターンニングを行なうことにより単位画素を所定配列に形成する工程を備えた表示素子の製造方法であって、

互いに隣接する前記小領域の境界線を非直線状に設定することを特徴とする表示素子の製造方法。

2. 絶縁基板上に導電体層もしくは誘電体層からなる第1の薄膜及び第2の薄膜を積層形成し、前記第1の薄膜及び第2の薄膜の形成領域を複数の小領域に分割してパターンニングを行なうことにより単位画素を所定配列に形成する工程を備えた表示素子の製造方法であって、

前記第1の薄膜の互いに隣接する前記小領域の境界線及び前記第2の薄膜の互いに隣接する前記小領域の境界線をとともに非直線状に設定するとともに、前記第1の薄膜の境界線と第2の薄膜の境界線を、ともに同一の単位画素領域を通るように設定することを特徴とする表示素子の製造方法。

3. 前記表示素子は液晶ディスプレイであることを特徴とする請求項1記載の表示素子の製造方法。

4. 前記パターンニングを光照射手段を用いることにより行なうことを特徴とする請求項1記載の表示素子の製造方法。

5. 絶縁基板上に導電体層及び誘電体層を積層形成し、前記導電体層もしくは誘電体層の形成領域を複数の小領域に分割してパターンニングを行なうことにより単位画素を所定配列に形成する工程を備えた表示素子の製造方法であって、

互いに隣接する前記小領域の境界線を非直線状に設定するとともに、

前記境界線を、任意の前記単位画素を複数回横切るように設定することを特徴とする表示素子の製造方法。

6. 絶縁基板上に導電体層及び誘電体層を積層形成し所定形状にパターンニングしてなる単位画素アレイを備えた表示素子において、

前記単位画素アレイが異なる光透過率特性を呈する複数の小領域に分割され、かつ隣接する前記小領域の境界線の始点と終点とを結ぶ直線上に光透過率の異な

る単位画素が混在することを特徴とする表示素子。

7. 前記光透過率の異なる単位画素どうしの光透過率差が 0.5% 以上であることを特徴とする請求項 6 記載の表示素子。

8. 前記表示素子は液晶ディスプレイであることを特徴とする請求項 6 記載の表示素子。

F I G . 1

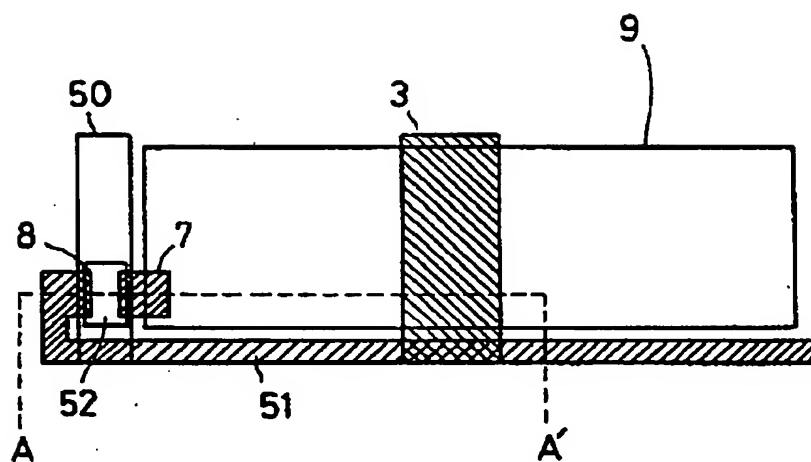
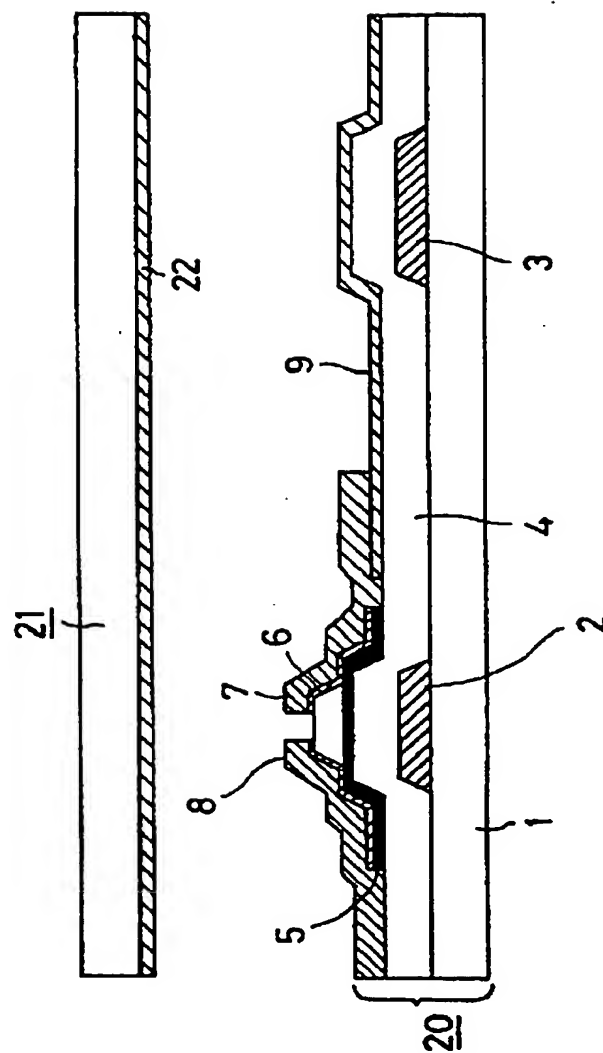


FIG. 2



F I G . 3

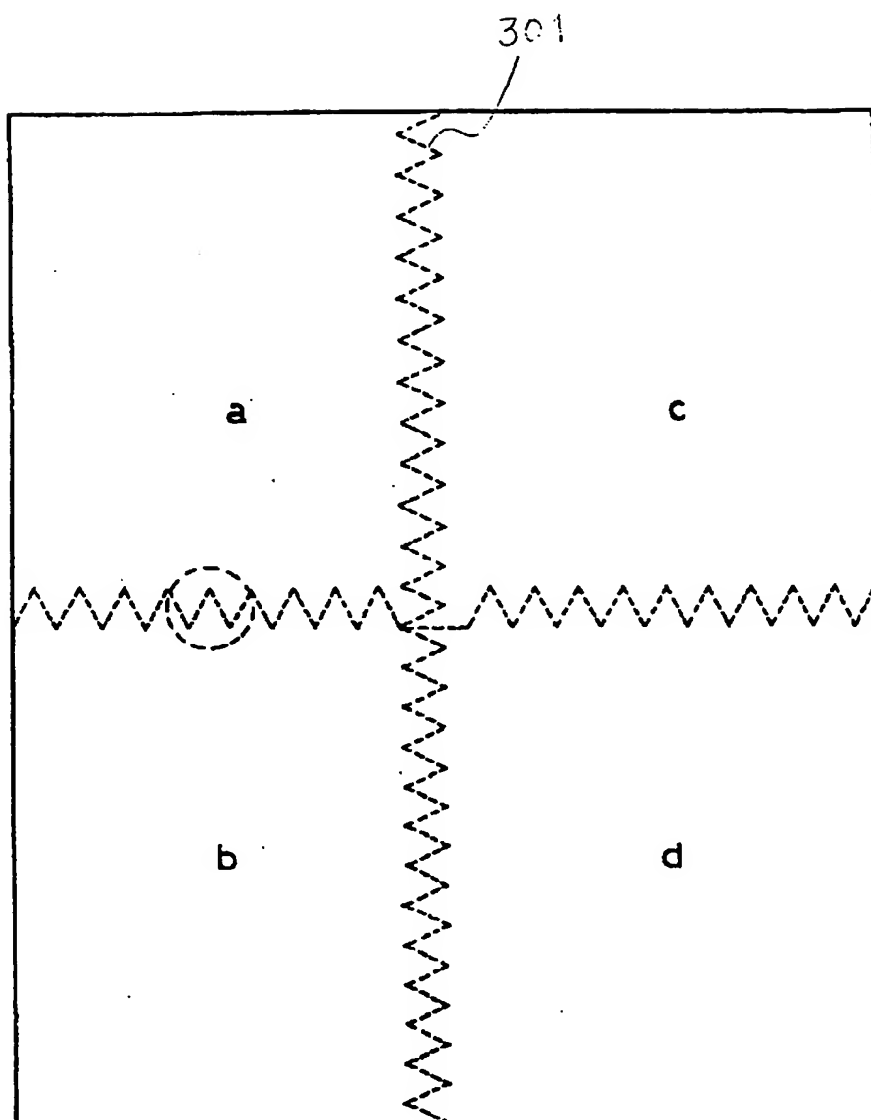
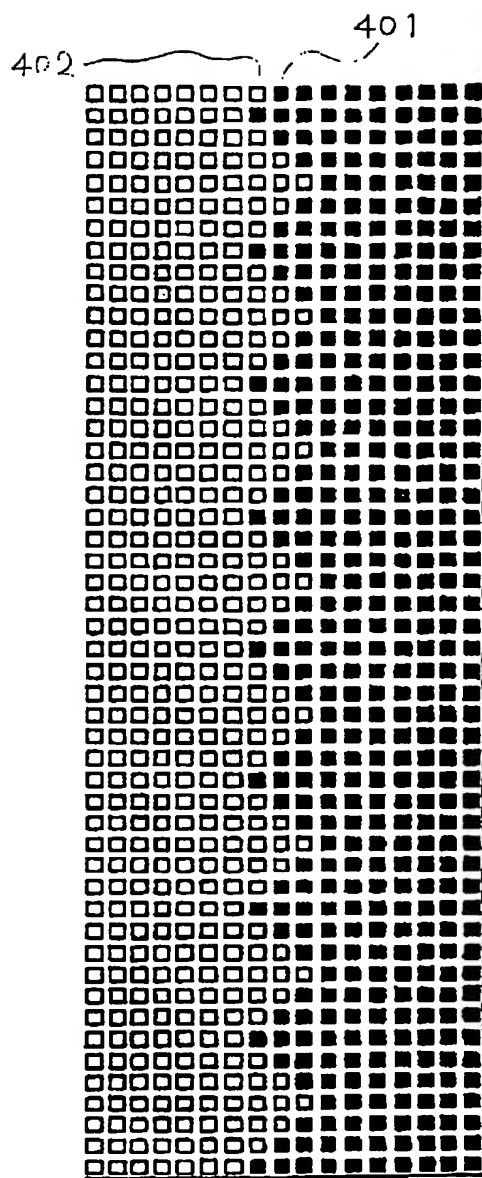
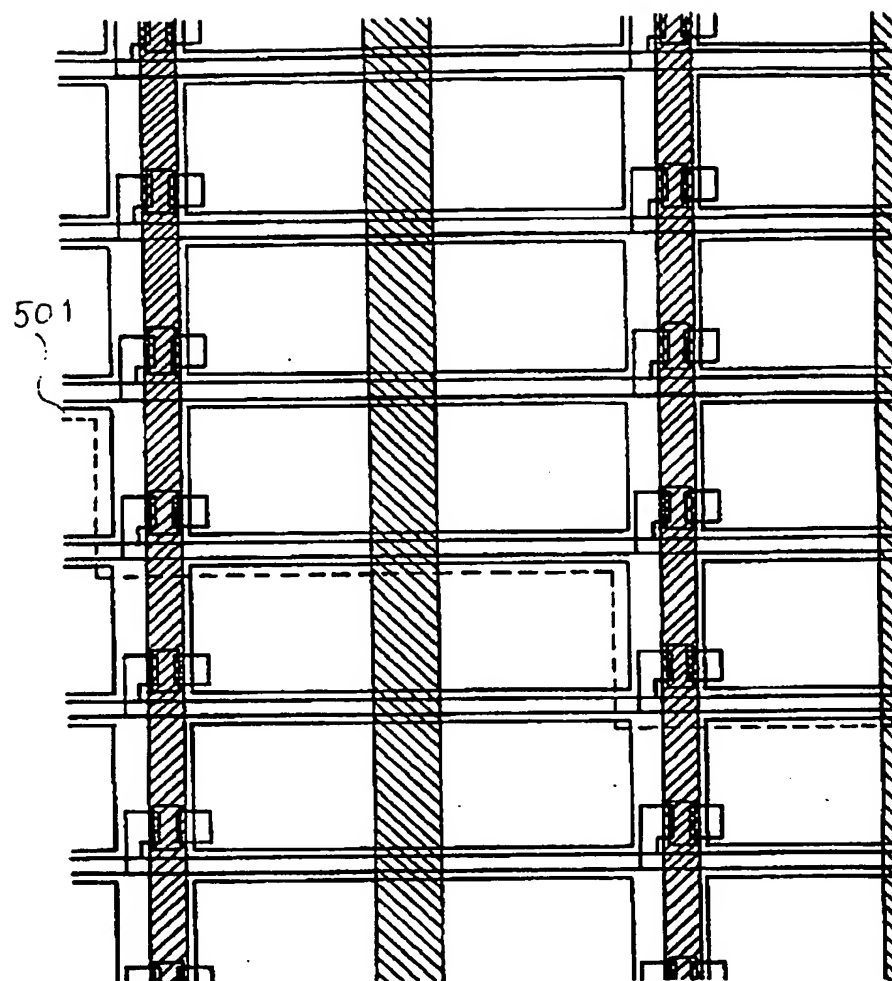


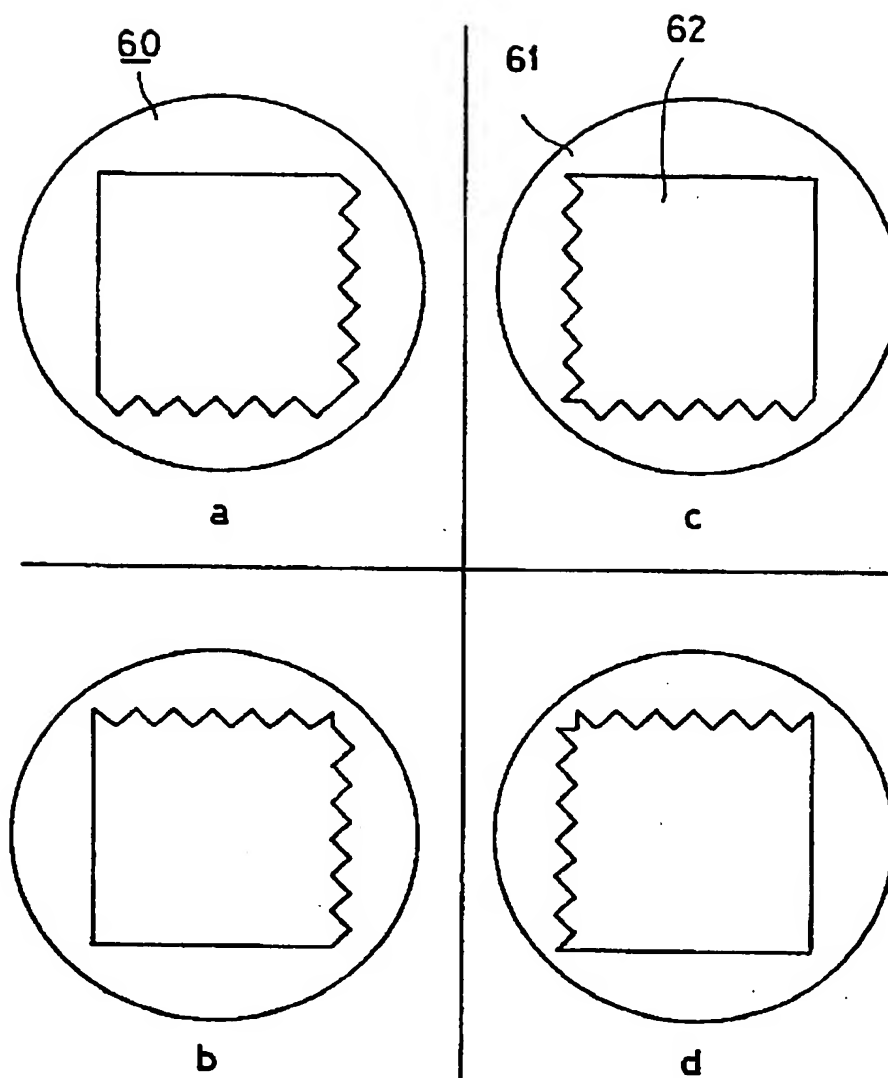
FIG. 4



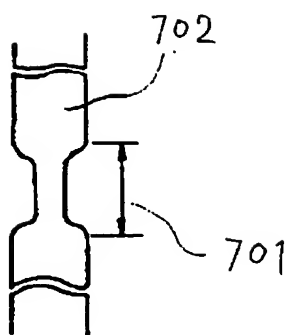
F I G . 5



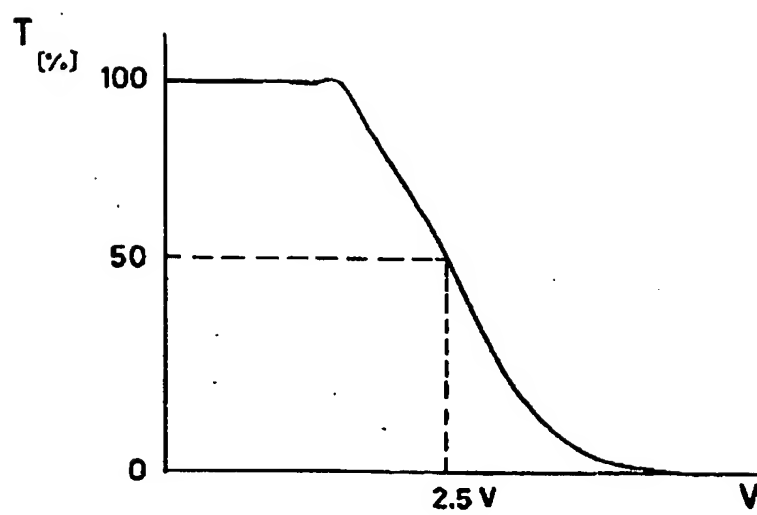
F I G . 6



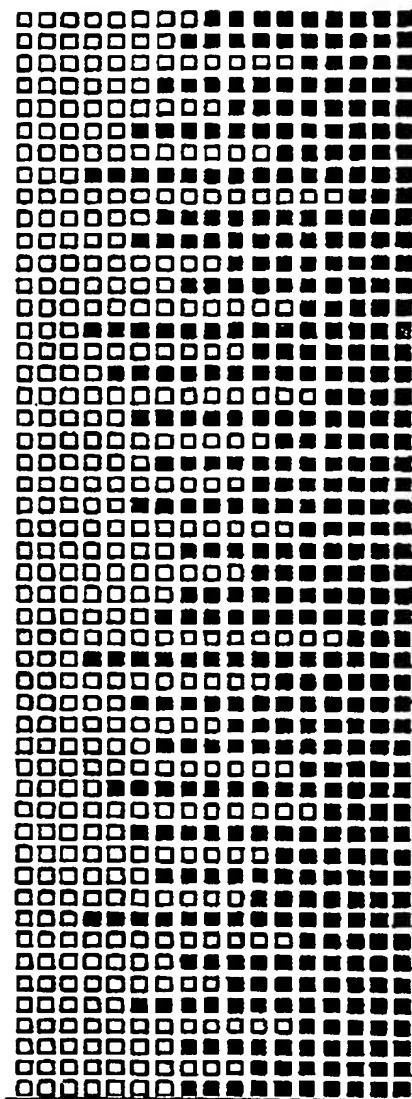
F I G . 7



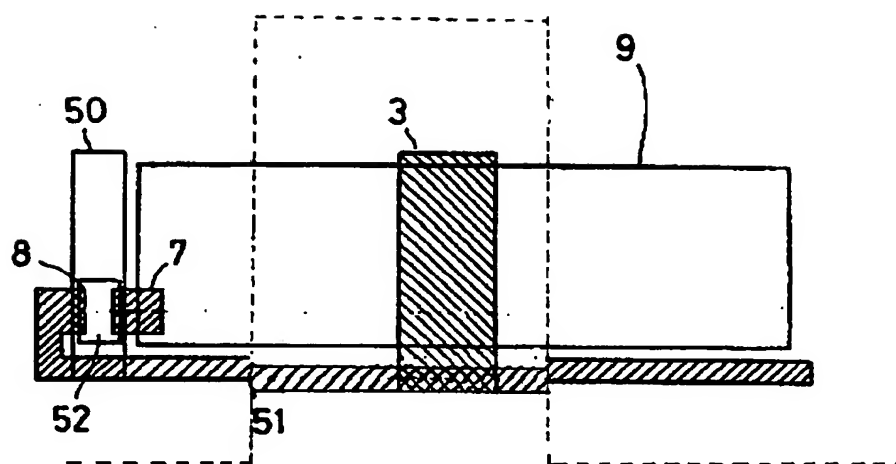
F I G . 8



F I G . 9



F I G . 1 0



F I G . 1 1

